

### KOREAN PATENT ABSTRACTS

(11)Publication

1020020046778 A

number: (43) Date of publication of application:

21.06.2002

(21)Application number: 1020000077109

(71)Applicant:

HYNIX SEMICONDUCTOR

INC.

(22)Date of filing:

15.12.2000

(72)Inventor:

HWANG, CHANG YEON

KIM, SANG IK

(51)Int. CI

H01L 21/28

(54) METHOD FOR FORMING CONTACT HOLE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A contact hole formation method of semiconductor devices is provided to prevent a short between word line and a plug by reducing loss of hard mask using multi-layer hard masks.

CONSTITUTION: After forming a metal film on a semiconductor substrate(21), a first nitride layer(23), an etch barrier(24) and a second nitride layer(25) as multi-layer hard masks are sequentially formed on the metal film. Word Ilnes(22) are formed by sequentially etching the nitride layer, the etch barrier,

the first nitride layer and the metal film. An insulating spacer(26) is formed at both sidewalls of the word lines. After forming an ILD(Inter Layer Dielectric)(27) on the resultant structure, a contact hole(29) is formed to expose the surface of the substrate by selectively etching the ILD.

© KIPO 2003

Legal Status

【한국공개특허공보2002-0046778(2002.6.21공개) : 인용예2】

号2002-0046778

# (19) 대한민국특허청(KR) (12) 공개특허공보(A)

| (51) Int. Cl. <sup>7</sup> | (11) 공개번호 목2002-0046778               |
|----------------------------|---------------------------------------|
| HOIL 21/28                 | (43) 곱개일자 2002년06월 1일                 |
| (21) 왕원빈호<br>(22) 항원일자     | 10-2000-0077109<br>2000년12월15일        |
| (71) 출원민                   | 주식회사 하미닉스반도체 박증섭                      |
| (72) 발명자                   | 경기 미찬시 부발을 마미리 산138-1<br>김상의          |
| • .                        | 경기도성남시부당구구마동??꺄치마율마원아파트101-903<br>항상명 |
| (74) 대리인                   | 경기도이찬서사음평564-7<br>강용복, 김용민            |
| 44 (4 000 17) . 444 425    |                                       |

## *성사용구 : 성류* (54) 반도체 소자의 콘택종 형성방법

#### 記さ

은 발명은 워드 라인에 형성된 하드 마스크층을 멀티(multi) 구조로 형성하여 하드 마스크층의 손실을 줄 이어 워드 라인과 플러그간에 숏토가 발생하는 것을 방지하도록 한 반도체 소자의 콘백화 형성방법에 판 한 것으로서, 반도체 기판상에 급속막 및 제 1 집화약을 처례로 형성하는 단계와, 삼기 제 1 집화약상에 식각 방지막 및 제 2 집화약을 처례로 형성하는 단계와, 삼기 제 2 집화약, 식각 방지막, 제 1 집화약, 음악왕조 선택적으로 제거하여 워드 라인출 형성하는 단계와, 삼기 워드 라인의 양속면에 접연락 축택을 형성하는 단계와, 삼기 반도체 기판의 전단에 ILI약을 형성하는 단계와, 삼기 워드 라인 사이의 반도체 기판 표면이 노출되도록 삼기 ILI약을 선택적으로 제거하여 본택골을 험성하는 단계를 포함하여 형성함을 특징으로 한다.

### ans.

5.24

### 4000

콘택홈, 셀프 얼라인, ILD막, 식각 방지막

### BUN

## 全部門 海霉素 益寶

도 16 내지 도 16는 총래의 반도체 소자의 콘택홈 형성방법을 나타낸 공정단면도

또 26 내지 도 20는 본 할명에 의한 반도체 소자의 콘택홈 형성방법을 나타낸 공정단면도

도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판

22 : 금속막

23 : 제 1 질화막

24 : 즐리 설리콘막

25 : 제 2 집화막

26 : 젊연막 흑백

27 : ILD막

28 : 감광막

29 : 콘택홀

\$84 648 AB

### REGIO SE

### 维罗尔 华奇是 刀槍 里 刀 整体型 香香刀盒

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 워드 라인(word line)의 숏트(Short)를 방지하는 데 적당한 반도체 소자의 은백화 혁성방법에 관한 것이다. 일반적으로 반도체 장치의 고집적화에 따라 패턴의 선폭 및 패턴간의 거리가 좋아지고 있어 설포 열라인

**특2002-0046778** 

콘택(Self Align Contact : SAC)에 의한 콘택홀 형성시 공청 마진(margin)이 줄더불고 있다.

이하, 험부된 도면을 참고하여 증래의 반도체 소자의 콘택용 형성방법을 설명하면 다음과 많다.

도 1a 내지 또 1c는 증래의 반도체 소자의 콘택홀 형성방법을 나타낸 공정단면도이다.

도 1a에 도시한 바와 같이, 반도체 기판(II)상에 워드 라인용 금속막을 중취하고, 상기 공속막상에 하드 마스크(hard mask)용 질화막(13)총 형성한다.

여기서 상기 워드 라인용 급속막은 즐리 실리콘막과 청소텐(#)막이 적충되어 청성된다.

이어, 포토 및 식각공정을 통해 삼기 집화막(13)을 선택적으로 제거하고, 계속해서 삼기 군속막을 선택적으로 제거하고 계속해서 삼기 군속막을 선택적으로 제거하며 일정한 간격을 갖는 복수개의 워드 라인(12)을 형성한다.

도 1b에 도시한 바와 많이, 상기 워드 라인(12)을 포함한 반도체 기판(11)의 전면에 접연막을 형성하고, 상기 접연막의 진면에 에치벡(etch back) 공정을 싱셔하며 상기 워드 라민(12)을 양속면에 절연막 속백(14)ਣ 형성한다.

아어, 상기 절면막 축벽(14) 및 워드 라민(12)을 포함한 반도체 기관(11)상에 ILD(Inter Layer Dielectric)막(15)읇 형성한다.

또 1c에 도시한 비와 같이, 삼기 ILD막(15)상에 강광막(16)을 도포한 후, 노광 및 현상공정으로 강광막(16)중 패터님하며 훈핵 영역중 정의한다.

이어, 상기 패터님된 감광막(16)을 마스크로 이용하며 상기 워드 라인(12) 사이의 반도체 기판(11)의 표면이 노줌되도록 셅프 얼라인 콘택 예정을 통해 상기 ILD막(15)을 선택적으로 제거하여 콘택종(17)을 형성한다.

여기서 상기 셀포 얼라인 콘택 에칭 공정시 상기 질화막(13)과 ILD막(15)과의 충분한 선택비 확보가 여러 일 위도 라인(12)상에 협성된 집화막(13)의 손십(Iosa)에 발생하여 상기 워드 라인(12)의 표면에 노출된 다.

미호 공정은 도시하지 않았지만, 상가 콘택용(17)을 포함한 반도체 기판(11)의 전면에 물리 심리본막을 중확한 후 에치백이나 CPP(Chamical Mechanical Polishins) 공정을 통해 상기 콘택용(17)의 내부에 儀리 실리콘 슐러그룹 형성한다.

### KE FOR HORE DO 108 M

그러나 상기와 같은 종래의 반도체 소자의 콘택홀 형성방법에 있어서 다음과 같은 문제점을 있었다.

첫째, ట프 열라인 본액 에칭 공정시 집화막과 ILD막과의 충분한 선택비 확보가 대려워 워드 라인상에 형성된 집회와의 순실(Icse)이 명생합으로서 빨리 살리콘 줍러그 형성시 워드 라인과 수토로 인하며 소자의 짧량(fall)이 방생한다.

扇패, 워드 라인과 물리 실리콘 즐러그의 숏트를 방지하기 위하여 집화막의 두城을 뚜껍게 할 경우 워드라인 (laifine)에 문제가 밝힌한다.

본 발명은 상기와 같은 중래의 문제점을 해결하기 위해 안출한 것으로 위도 라인에 형성된 하드 마스크총 중 법티(wit) 구조로 형성하여 하드 마스크총의 손실을 중이어 위도 라인과 플러그라에 솟토가 밤생하 존 것을 방지하도록 한 반도체 소자의 콘택을 형성방법을 제공하는데 그 목적이 있다.

# 黑鹭叫 子台 望 母害

삼기와 같은 목적을 달성하기 위한 본 필명에 의한 반도체 소자의 콘택을 형성방법은 반도체 기관상에 급속막 및 제 1 결화약을 차례로 형성하는 단계와, 상가 제 1 결화약상에 석각 방지막 및 제 2 결화약을 차례로 형성하는 단계와, 상기 제 2 결화약, 제 1 결화약, 급속약을 선택적으로 제거하여 뭐 또 라인을 형성하는 단계와, 상기 제 2 결화약, 작각 방자약, 제 1 결화약, 급속약을 선택적으로 제거하여 뭐 또 라인을 형성하는 단계와, 상기 위도 라인의 양속면에 절면약 측벽을 형성하는 단계와, 상기 반도체 기관의 전면에 [LD막용 형성하는 단계와, 상기 위도 라인 사이의 반도체 기관 표면이 노출되도록 상기 [LD 막용 선택적으로 제거하여 콘텍홈을 헌성하는 단계을 포함하여 현성함을 특징으로 한다.

이하, 첨부된 도면을 참고하며 본 발명에 의한 반도체 소자의 콘택홀 형성방법을 상세히 설명하면 다음과

도 2a 내지 도 2d는 본 발명에 의한 반도체 소자의 콘택흡 형성방법을 나타낸 공정되면도이다.

도 2a에 도시한 바와 많이, 반도체 가판(21)상에 워드 라인용 금속막(22)을 펼쳐하고, 상기 금속막(22)상에 하드 마스크(hard mask)용 제 1 집화막(23)을 1000Å ~ 3000Å 두께로 형성한다.

여기서 상기 워드 라인용 금속막(22)은 물리 실리콘막과 텅스턴(W)막이 적충되어 형성된다.

이어, 상기 제 1 질화막(23)상에 식각 방지용 둘리 실리콘막(24)을 50A ~ 500A 두께로 형성하고, 상기 중리 심리콘막(24)상에 하드 마스크용 제 2 질화막(25)을 100A ~ 1000A 후께로 협성한다. 여기서 상기 짧리 십리쯘막(24) 대신에 SION, AIO, TauO, 등을 사용할 수 있다.

도 2b에 도시한 바와 람이, 포토 및 식각공정을 통해 삼기 제 2 질화막(25), 쯸리 삶리본막(24), 제 1 집화막(23), 급숙막(22)를 선택적으로 제거하여 입정한 간격을 갖는 복수개의 워드 라인을 행성한다.

도 2c에 도시한 바와 할데, 상기 위도 라민을 포함한 반도체 기판(21)의 전면에 절연막을 50Å ~ 500Å 두페로 형성하고, 상기 젖연막의 전면에 에서백(etch back) 공청을 싫시하며 상기 위도 라인의 양측면에

\$2002-0046778

選연막 축력(26)쓸 형성한다.

한편, 살기 없면막 축박(26)은 출라즈마(piassa) 장비에서 다루,/CF,/0, 가스를 사용하여 100 ~ 300ml, 300 ~ 200% 중장조건으로 잔했한다.

OICH. 상기 접면하 축제(25) 및 워드 라인층 포함한 만도체 기관(21)상에 ILD(Inter Layer Dietectric)하(27)층 형성한다.

이기서 상기 ILD막(27)은 8PS8(Boron Phosphorus Silicate Blass) 또는 HOP(High Density Plasms) 등품 사용하고, 그 두명는 2000A - ROOA으로 혈생한다.

도 2008 도시한 비와 같이, 상기 LLD막(27)상에 감황막(29)쯤 도포한 후, 노광 및 현상공정으로 깜광막(28)쏢 패턴님하다 뿐백 영역을 정확한다.

이어, 상기 테터닝된 김광막(28)을 마스트로 이용하여 상기 위도 라인 사이의 반도체 기관(21)의 표면이 노중되도록 영프 점관인 중백 애성을 통해 상기 ILD막(27)을 전혀적으로 제거하여 운약들(23)을 험성한 다.

여기서 상기 설표 영리면 흔액 에정 공정시 중래에는 상기 재 | 필화막(23)과 ILB막(27)과의 충분한 전력 네 짜보가 어려워 제 | 평화막(23)의 손성(loss)이 평생하는데 본 방당에서는 제 | 정화막(23)살에 식각 반지속으로 청성된 폴리 설리쓴막(24)에 의해 제 | 평화막(23)의 손성을 방지함으로서 산기 위도 라인의 표면이 노용된다.

한편, 성기 철표 정라인 훈핵 예정 공장은 C.F./C.F./아H.F./Ar/O./CF. 가스블 사용하고, 30 ~ 60ml, 1500 ~ 2000전의 공정조건에서 DRN인 식각 합비용 사용한다.

이후 공정은 도시하지 않았지만, 상기 감광막(23)출 제거하고 상기 문역환(29)출 포함한 반도체 기판(21) 의 건년에 줍리 심리본막을 중확한 후 에서백이나 CVP 공장점 중해 상기 문역중(29)의 내부에 줍리 심리 문 플러그램 형성한다.

#### \$30 QX

이상에서 설명한 바와 끊이 본 행명에 의한 반도체 소자의 존액은 형성방법은 다음과 참은 효과가 있다. 즉, 성포 정라인 본째 에방 공장시 ILD라과 정확약간에 충분한 선택비를 확보하지 못해 당생하는 정확약 의 순성층 방지하게 위하여 정확약상에 식과 방지막으로 충성함으로서 정확약에 손실에 의해 워드 라인이 노동되대 중리그 형성시 당생하는 쉐드 라인과의 수토를 방지하여 소자의 정성 및 수물을 학상할 수 있고, 공정의 연정확을 가져올 수 있다.

#### 1573 874 88

경구함 1. 반도체 기판상에 금속막 및 제 1 집화약을 차려로 형성하는 단계:

상기 제 | 교회학상에 식각 반지막 및 제 2 집회학을 차려로 행성하는 단계:

다음 수 시간 하는 다음 (A) 1 (A) 지 (A) 1 (A) 1 (A) 1 (A) 1 (A) 1 (A) 2 (A) 1 (A

심기 워드 라인의 양측면에 젊면막 축박을 형성하는 단계:

상기 반도체 기판의 전면에 ILD학합 형성하는 단계;

상기 위도 라인 사이의 반도체 기관 표면이 노중되도록 상기 ILD학총 선택적으로 제거하며 문핵증출 항성하는 단계를 포함하며 형성함을 통칭으로 하는 반도체 소지의 문력증 형성방법.

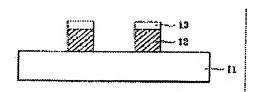
영구함 2. 제 1 항에 있어서, 상기 석각 방지막은 중리 삼리콘, SION, AI.G., Te.G. 중에서 적어도 하나 웹 사용하는 것을 적징으로 하는 반도체 소지의 존액을 엄입받법.

영구함 3. 河 1 文에 있어서, 삼기 의각 방지막은 90x - 500x 두계로 형성하는 것을 찍장으로 하는 반도체 소자의 은백종 형성방법.

청구합 4. 제 1 합에 있어서, 상기 제 1 협화막은 제 2 집화막보다 두껍게 형성하는 것을 특징으로 하는 반도체 소자의 흔력을 형성방합.

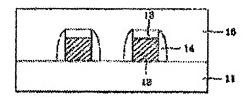
SE LE

5.18 lu

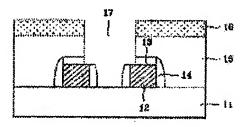


**4 2002-0046778** 

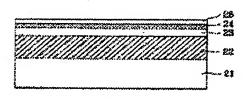
£.693b



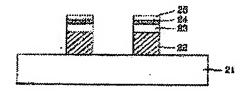
.fx 19 10



Salla

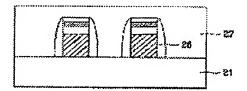


57,1820



\$2002-0046778

SEE CO



SERNI.

